

PAT-NO: JP02002101261A

DOCUMENT-IDENTIFIER: **JP 2002101261 A**

TITLE: IMAGE READ DEVICE

PUBN-DATE: April 5, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
TAMAGAWA, TOSHIMITSU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ROHM CO LTD	N/A

APPL-NO: JP2000292140

APPL-DATE: September 26, 2000

INT-CL (IPC): H04N001/028, G06T001/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an image read device which enables to improve the operating frequency.

SOLUTION: A line L1 is mounted for a group of photodiodes PD₁, ..., PD_k, a line L2 for a group of photodiodes PD_{k+1}, ..., PD_n as an output line that transmits photodiode signals to the part surrounded with an output circuit H, and either of the lines, L1 and L2, is selected to mount switches S₁, S₂ for connecting to the output circuit.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
 特開2002-101261
 (P2002-101261A)
 (43)公開日 平成14年4月5日 (2002.4.5)

(51) Int.Cl. ⁷ H 04 N 1/028 G 06 T 1/00	識別記号 4 3 0	F I H 04 N 1/028 G 06 T 1/00	テマコード(参考) A 5 B 0 4 7 4 3 0 D 5 C 0 5 1
--	---------------	------------------------------------	---

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

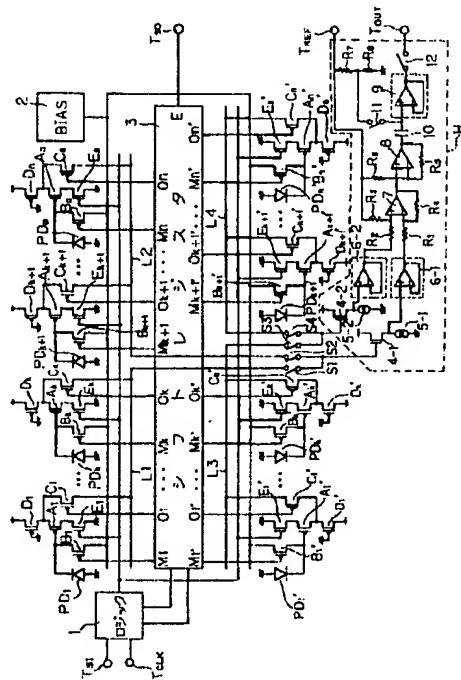
(21)出願番号 特願2000-292140(P2000-292140)	(71)出願人 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(22)出願日 平成12年9月26日 (2000.9.26)	(72)発明者 玉川 傑光 京都市右京区西院溝崎町21番地 ローム株 式会社内
	(74)代理人 100085501 弁理士 佐野 静夫
	Fターム(参考) 5B047 BA02 BB02 BC14 CA05 CB07 5C051 AA01 BA02 DA03 DB01 DB08 DC02 DC03 DC07 DE02 DE03

(54)【発明の名称】 画像読み取り装置

(57)【要約】

【課題】 動作周波数を向上させることができるよう
した画像読み取り装置を提供する。

【解決手段】 フォトダイオードの信号を出力回路日で
囲まれた部分に伝送する出力ラインとして、フォトダイ
オードPD₁、…、PD_kから成るグループに対してはラ
インL₁を、フォトダイオードPD_{k+1}、…、PD_nから
成るグループに対してはラインL₂をそれぞれ設けると
ともに、これらの2つのラインL₁及びL₂のいずれか
一方を選択して出力回路に接続するためのスイッチS₁
及びS₂を設ける。



【特許請求の範囲】

【請求項1】 各々が遮光されていない光電変換素子である複数の読み取り用の光電変換素子と、該複数の読み取り用の光電変換素子で得られた光電変換信号を順番に選択する信号用選択回路と、該信号用選択回路で選択された信号を処理して出力する出力回路と、を備えた画像読み取り装置において、

前記読み取り用の各光電変換素子を複数のグループに分類し、前記信号用選択回路で選択された信号を前記出力回路に伝送する信号用出力ラインを各グループ毎に設けるとともに、該複数の信号用出力ラインのいずれか1つを選択して前記出力回路に接続する信号用出力ライン切り替え回路を設けたことを特徴とする画像読み取り装置。

【請求項2】 遮光されている光電変換素子であるダミーの光電変換素子を有しているとともに、前記出力回路は、前記信号用選択回路で選択された信号と、前記ダミーの光電変換素子で得られた光電変換信号との差分をとって出力することを特徴とする請求項1に記載の画像読み取り装置。

【請求項3】 各々が遮光されている光電変換素子である複数のダミーのフォトダイオードと、該複数のダミーの光電変換素子で得られた信号を順番に選択するダミー用選択回路と、を有しているとともに、前記出力回路は、前記信号用選択回路で選択された信号と、前記ダミー用選択回路で選択された信号との差分をとって出力することを特徴とする請求項1に記載の画像読み取り装置。

【請求項4】 前記読み取り用の光電変換素子と前記ダミーの光電変換素子とが同じ数だけ設けられていることを特徴とする請求項3に記載の画像読み取り装置。

【請求項5】 前記ダミーの各光電変換素子を複数のグループに分類し、前記ダミー用選択回路で選択された信号を前記出力回路に伝送するダミー用出力ラインを各グループ毎に設けるとともに、該複数のダミー用出力ラインのいずれか1つを選択して前記出力回路に接続するダミー用出力ライン切り替え回路を設けたことを特徴とする請求項3または4に記載の画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、イメージセンサ等のような光学情報を電気信号に変換する画像読み取り装置に関するものである。

【0002】

【従来の技術】画像読み取り装置は、図3に示すように、画像読み取りを行うためのICチップK₁、K₂、…、K_nを不図示の印刷配線ボード上に一列に配置実装して成る。これらの各ICチップK₁、K₂、…、K_nから光電変換信号が順次出力され、A/D変換器100でデジタル信号に変換されて出力端子200から外部へ出

力される。各チップK₁、K₂、…、K_nの構成は同一であり、その従来の回路構成を図4を用いて説明する。

【0003】光電変換素子であるフォトダイオードPD₁、PD₂、…、PD_nのアノードはグランドに接続されており、一方、カソードはそれぞれ増幅用のpチャネルのMOS型FET A₁、A₂、…、A_nのゲートに接続されている。トランジスタA₁、A₂、…、A_nのソースにはそれぞれ定電流源I₁、「I₂、…、I_n」から一定の電流が供給されている。トランジスタA₁、A₂、…、A_nのドレインはグランドに接続されている。

【0004】バイアス電圧供給回路2は正の直流電圧を安定して出力する。バイアス電圧供給回路2から出力される電圧（以下、「バイアス電圧」と称する）は、スイッチング用のpチャネルのMOS型FET B₁、B₂、…、B_nのドレイン-ソース間に介してそれぞれフォトダイオードPD₁、PD₂、…、PD_nのカソードに印加される。

【0005】以上の構成において、トランジスタB_x（x=1、2、…、n）が所定時間以上にわたりてONすると、フォトダイオードPD_xには逆方向にバイアス電圧が印加され、所定量の電荷が蓄積される。尚、以下において、このことを「フォトダイオードPD_xが初期化される」と称する。

【0006】また、トランジスタB_xがONからOFFに切り換わると、フォトダイオードPD_xの初期化が解除され、蓄積された電荷が入射光に応じて放電することにより電流が流れるので、フォトダイオードPD_xは入射光に応じた電圧を示すことになる。

【0007】また、トランジスタC_xがONすることにより、フォトダイオードPD_xのカソード側の電圧信号（以下、単に、「フォトダイオードPD_xの信号」と称する）が、トランジスタA_xで構成されたソースフォロワ回路により増幅された後、出力回路51により更なる増幅や波形整形などの処理がなされて端子T_{OUT}から外部へ出力される（以下、このことを、「フォトダイオードPD_xの信号が読み出される」と称する）。

【0008】制御回路52は、フォトダイオードPD₁、PD₂、…、PD_nの信号が順次出力されるように、トランジスタC_xを制御するとともに、フォトダイオードPD_xの信号が読み出される毎に、フォトダイオードPD_xが一旦初期化されるように、トランジスタB_xを制御する。

【0009】

【発明が解決しようとする課題】しかしながら、従来の構成では、各フォトダイオードPD₁、PD₂、…、PD_nの信号を出力回路51に伝送する出力ラインLを数10～数100個の全てのフォトダイオードに対して共通に設けていたため、出力ラインLが長くなり、これにより、配線長が長いほど、配線抵抗及び配線容量が大きくなつて時定数が大きくなることから、動作周波数が制限

されてしまっていた。

【0010】そこで、本発明は、動作周波数を向上させることができるようにした画像読み取り装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するため、本発明では、各々が遮光されていない光電変換素子である複数の読み取り用の光電変換素子と、該複数の読み取り用の光電変換素子で得られた光電変換信号を順番に選択する信号用選択回路と、該信号用選択回路で選択された信号を処理して出力する出力回路と、を備えた画像読み取り装置において、前記読み取り用の各光電変換素子を複数のグループに分類し、前記信号用選択回路で選択された信号を前記出力回路に伝送する信号用出力ラインを各グループ毎に設けるとともに、該複数の信号用出力ラインのいずれか1つを選択して前記出力回路に接続する信号用出力ライン切り替え回路を設けている。この構成により、出力ラインを短くすることができるようになる。

【0012】

【発明の実施の形態】以下に、本発明の実施形態を図面を参照しながら説明する。本発明の一実施形態である画像読み取り装置を構成する各ICチップの回路構成を図1を用いて説明する。

【0013】光電変換素子であるフォトダイオードPD₁、…、PD_n、PD₁'、…、PD_n'のアノードはグランドに接続されており、一方、それらのカソードはそれぞれ增幅用のpチャネルのMOS型FET A₁、…、A_n、A₁'、…、A_n'のゲートに接続されている。

【0014】尚、フォトダイオードPD₁、…、PD_nは遮光されており、画像の読み取りには関与しないものであり、以下の説明において適宜「ダミーのフォトダイオード」と称する。これに対して、フォトダイオードPD₁'、…、PD_n'は遮光されておらず、画像を読み取るためのものであり、以下の説明において適宜「読み取り用のフォトダイオード」と称する。

【0015】トランジスタA₁、…、A_n、A₁'、…、A_n'のソースにはそれぞれpチャネルのMOS型FET D₁、…、D_n、D₁'、…、D_n'のドレインーソース間を介して電源電圧に接続されている。尚、トランジスタD₁、…、D_n、D₁'、…、D_n'のゲートはグランドに接続されており、トランジスタA₁、…、A_n、A₁'、…、A_n'のソースには一定の電流が供給される。

【0016】トランジスタA₁、…、A_n、A₁'、…、A_n'のドレインはそれぞれnチャネルのMOS型FET E₁、…、E_n、E₁'、…、E_n'のドレインーソース間を介してグランドに接続されている。尚、最初の読み取り用のフォトダイオードPD₁の信号を読み出す直前から最後のフォトダイオードPD_nの信号の読み出しを完了するまでの間のみ、トランジスタE₁、…、E_n、

E₁'、…、E_n'がONするように、ロジック回路1によつて制御することによって、消費電力を低減させていく。

【0017】バイアス電圧（バイアス電圧供給回路2から出力される安定した直流電圧）は、スイッチング用のpチャネルのMOS型FET B₁、…、B_n、B₁'、…、B_n'のドレインーソース間を介してそれぞれフォトダイオードPD₁、…、PD_n、PD₁'、…、PD_n'のカソードに印加される。トランジスタB₁、…、B_n、B₁'、…、B_n'のゲートにはそれぞれシフトレジスタ3の端子M₁、…、M_n、M₁'、…、M_n'から出力される信号が与えられている。

【0018】トランジスタA₁、…、A_kのソースはそれぞれスイッチング用のpチャネルのMOS型FET C₁、…、C_kのドレインーソース間を介して第1の出力ラインL₁に共通に接続されている。また、トランジスタA_{k+1}、…、A_nのソースはそれぞれスイッチング用のpチャネルのMOS型FET C_{k+1}、…、C_nのドレインーソース間を介して第2の出力ラインL₂に共通に接続されている。そして、第1の出力ラインL₁、第2の出力ラインL₂はそれぞれ第1の出力ライン切り替え用スイッチS₁、第2の出力ライン切り替え用スイッチS₂を介してnチャネルのMOS型FET 4-1のゲートに共通に接続されている。

【0019】トランジスタA₁'、…、A_k'のソースはそれぞれスイッチング用のpチャネルのMOS型FET C₁'、…、C_k'のドレインーソース間を介して第3の出力ラインL₃に共通に接続されている。また、トランジスタA_{k+1}'、…、A_n'のソースはそれぞれスイッチング用のpチャネルのMOS型FET C_{k+1}'、…、C_n'のドレインーソース間を介して第4の出力ラインL₄に共通に接続されている。そして、第3の出力ラインL₃、第4の出力ラインL₄はそれぞれ第3の出力ライン切り替え用スイッチS₃、第4の出力ライン切り替え用スイッチS₄を介してnチャネルのMOS型FET 4-2のゲートに共通に接続されている。

【0020】尚、第1、第2、第3、第4の出力ライン切り替え用スイッチS₁、S₂、S₃、S₄は、例えばpチャネルのMOS型FETで構成されており、ロジック回路1によって後述するようにON/OFFが制御される。

【0021】トランジスタC₁、…、C_n、C₁'、…、C_n'のゲートにはそれぞれシフトレジスタ3の端子O₁、…、O_n、O₁'、…、O_n'から出力される信号が与えられている。トランジスタ4-1、4-2のソースはそれぞれ定電流源5-1、5-2を介してグランドに接続されている。トランジスタ4-1、4-2のドレインは電源電圧に接続されている。

【0022】バッファアンプ6-1及び6-2は演算増幅器の出力を反転入力端子(-)に帰還した構成であ

り、バッファアンプ6-1、6-2の入力側（演算増幅器の非反転入力端子（+））はそれぞれトランジスタ4-1、4-2のソースに接続されている。

【0023】すなわち、読み取り用のフォトダイオードPD_x（x=1、2、…、n）の信号はそれぞれトランジスタA_xを用いて構成されたソースフォロワ回路及びトランジスタ4-1を用いて構成されたソースフォロワ回路を介してバッファアンプ6-1に入力されている。また、ダミーのフォトダイオードPD_{x'}の信号はトランジスタA_{x'}を用いて構成されたソースフォロワ回路及びトランジスタ4-2を用いて構成されたソースフォロワ回路を介してバッファアンプ6-2に入力されている。

【0024】バッファアンプ6-1の出力側（演算増幅器の出力端子）は抵抗R₁を介して演算増幅器7の反転入力端子（-）に、バッファアンプ6-2の出力側は抵抗R₂を介して演算増幅器7の非反転入力端子（+）に、それぞれ接続されている。

【0025】演算増幅器7の非反転入力端子（+）には、ICチップの端子T_{REF}に外部から入力される直流の基準電圧が抵抗R₃を介して印加されている。演算増幅器7の出力端子は、抵抗R₄を介して演算増幅器7の反転入力端子（-）に接続されるとともに、演算増幅器8の非反転入力端子（+）に接続されている。

【0026】演算増幅器8の反転入力端子（-）には、抵抗R₅を介して演算増幅器8の出力端子が接続されるとともに、端子T_{REF}に外部から入力される基準電圧が抵抗R₆を介して印加されている。

【0027】バッファアンプ9は演算増幅器の出力を反転入力端子（-）に帰還した構成であり、バッファアンプ9の入力側には、コンデンサ10を介して演算増幅器8の出力端子が接続されるとともに、外部から基準電圧を入力するための端子T_{REF}とグランドとの間に直列に接続された抵抗R₇、R₈同士の接続点にスイッチ11を介して接続されている。

【0028】尚、スイッチ11は、例えば、アナログスイッチで構成されており、最初の読み取り用のフォトダイオードPD₁の信号を読み出す前に所定の期間だけONするように、ロジック回路1によって制御される。

【0029】バッファアンプ9の出力はスイッチ12を介してICチップの端子T_{OUT}から外部に出力される。尚、スイッチ12は、例えばアナログスイッチで構成されており、最初の読み取り用のフォトダイオードPD₁の信号を読み出す直前から最後のフォトダイオードPD_nの信号の読み出しを完了するまでの間のみONするように、ロジック回路1によって制御される。

【0030】ロジック回路1は、ICチップの端子T_{CLK}に外部から入力されるクロック信号CLK、及び、ICチップの端子T_{S1}に外部から入力されるスタートトリガ信号STとを入力している。尚、各ICチップに入

力されるクロック信号CLKは共通である。そして、ロジック回路1は、入力するクロック信号CLKとスタートトリガ信号STに基づいて、トランジスタE_x、並びに、スイッチ11及び12を前述したように制御する。

【0031】また、ロジック回路1は、最初の読み取り用のフォトダイオードPD₁の信号の読み出しを開始する前に、すなわち、後出する図2中の時刻t₃までに、それぞれ第1の出力ライン切り替え用スイッチS₁をON、第2の出力ライン切り替え用スイッチS₂をOFF、第3の出力ライン切り替え用スイッチS₃をON、第4の出力ライン切り替え用スイッチS₄をOFFにするとともに、フォトダイオードPD_kの信号の読み出し期間の後半、すなわち、後出する図2中の時刻t_{2k+2}からt_{2k+3}までに、それぞれ第1の出力ライン切り替え用スイッチS₁をOFF、第2の出力ライン切り替え用スイッチS₂をON、第3の出力ライン切り替え用スイッチS₃をOFF、第4の出力ライン切り替え用スイッチS₄をONにする。

20 【0032】ICチップの端子T_{S1}に入力されるスタートトリガ信号ST、及び、ICチップの端子T_{CLK}に入力されるクロック信号CLKは、ロジック回路1を通して、シフトレジスタ3にも入力されている。シフトレジスタ3は、図2に示すように、スタートトリガ信号STの立ち上がり後、クロック信号CLKの2回目以降の立ち下がりエッジに同期して、クロック信号CLKの1周期に等しいパルス幅をもつ負のパルスを端子O₁、O₂、…、O_nから順次出力する。尚、シフトレジスタ3の端子O_{1'}、O_{2'}、…、O_{n'}からはそれぞれ端子O₁、O₂、…、O_nから出力される信号と同じ信号が出力される。

【0033】これにより、時刻t₃～t₅の間にトランジスタC₁及びC_{1'}がONし、時刻t₅～t₇の間にトランジスタC₂及びC_{2'}がONし、…というように、トランジスタC₁及びC_{1'}、トランジスタC₂及びC_{2'}、…、トランジスタC_n及びC_{n'}が順次クロック信号CLKの1周期だけONとなって、読み取り用のフォトダイオードPD₁、PD₂、…、PD_nの信号が順次トランジスタ4-1のゲートに導かれるとともに、ダミーのフォトダイオードPD_{1'}、PD_{2'}、…、PD_{n'}の信号が順次トランジスタ4-2のゲートに導かれる。

【0034】また、シフトレジスタ3は、図2に示すように、スタートトリガ信号STの立ち上がり後のクロック信号CLKの3回目以降の立ち上がりエッジに同期して、クロック信号CLKの1周期に等しいパルス幅をもつ負のパルスを端子M₁、M₂、…、M_nから順次出力する。

【0035】これにより、時刻t₄～t₆の間にトランジスタB₁がONし、時刻t₆～t₈の間にトランジスタB₂がONし、…というように、トランジスタB₁、B₂、

…、 B_n が順次クロック信号CLKの1周期だけONとなつて、フォトダイオードPD₁、PD₂、…、PD_nが順次初期化される。

【0036】このため、例えば最初の読み取り用のフォトダイオードPD₁について見ると、トランジスタC₁が時刻t₂～t₄の間にONして信号が読み出されるが、時刻t₃～t₄の間（すなわち、読み出し期間の後半）にはトランジスタB₁もONして初期化されるので、時刻t₂～t₃の間（すなわち、読み出し期間の前半）に読み出された信号のみが有効となる。同様に、他の読み取り用のフォトダイオードPD₂、PD₃、…、PD_nについても、読み出し期間の前半に読み出された信号のみが有効となる。

【0037】また、シフトレジスタ3は、図2に示すように、スタートトリガ信号STの立ち上がり後のクロック信号CLKの立ち下がりエッジに同期して、クロック信号CLKの1周期に等しいパルス幅をもつ負のパルスを端子M₁’、M₂’、…、M_n’から順次出力する。

【0038】これにより、時刻t₁～t₃の間にトランジスタB₁’がONし、時刻t₃～t₅の間にトランジスタB₂’がONし、…というように、トランジスタB₁’、B₂’、…、B_n’が順次クロック信号CLKの1周期だけONとなつて、ダミーのフォトダイオードPD₁’、PD₂’、…、PD_n’が順次初期化される。

【0039】また、シフトレジスタ3の端子Eから出力される信号は、ICチップの端子T_{S0}から外部に出力され、次のICチップの端子T_{S1}に入力される、すなわち、次のICチップにてスタートトリガ信号STとして用いられる。このため、シフトレジスタ3は、本ICチップの最後の読み取り用のフォトダイオードPD_nの信号の読み出しと次のICチップの最初の読み取り用のフォトダイオードの信号の読み出しが干渉しないように、適切なタイミングで端子Eから正のパルスを1つ出力する。

【0040】以上の構成により、読み取り用のフォトダイオードPD_xの信号と、対応するダミーのフォトダイオードPD_x’の信号との差分が送出されるので、ICチップ内及び各ICチップ間のフォトダイオードの信号レベルに製造ばらつきがあったとしても、このばらつきは打ち消し合わされ、読み出される信号レベルがより均一なものとなる。

【0041】また、各読み取り用のフォトダイオードPD₁、…、PD_nの信号を出力回路Hに伝送する出力ラインを、全ての読み取り用のフォトダイオードに対して共通に設けるのではなく、読み取り用のフォトダイオードPD₁、…、PD_kから成るグループに対しては第1の出力ラインL₁を、読み取り用のフォトダイオードPD_{k+1}、…、PD_nから成るグループに対しては第2の出力ラインL₂をそれぞれ設けており、また、各ダミーのフォトダイオードPD₁’、…、PD_n’の信号を出力回路

に伝送する出力ラインを、全てのダミーのフォトダイオードに対して共通に設けるのではなく、ダミーのフォトダイオードPD₁’、…、PD_k’から成るグループに対しては第3の出力ラインL₃を、ダミーのフォトダイオードPD_{k+1}’、…、PD_n’から成るグループに対しては第4の出力ラインL₄をそれぞれ設けているので、出力ラインを略半分に短くすることができるようになる。したがって、配線長が短くなつて配線抵抗及び配線容量が小さくなるとともに、接続されるトランジスタによる寄生容量が半減することによって、時定数が小さくなることから、動作周波数を向上させることができるようになる。具体的には、動作周波数が、従来は1.5～2.0[MHz]に制限されていたが、本実施形態では3.0～4.0[MHz]にできるようになる。

【0042】尚、上記実施形態のように、各読み取り用のフォトダイオードを2つのグループに分類する場合には、例えば、前半に信号が読み出されるグループと後半に信号が読み出されるグループとに分類するようすればよい。また、読み取り用のフォトダイオードを複数のグループに分類し、各グループ毎に出力ラインを設けるようになっていればよく、読み取り用のフォトダイオードを3つ以上のグループに分割するようになっていてもよい。

【0043】また、ダミーのフォトダイオードについては、設けなくてよいし、また、設けるとしても、各読み取り用のフォトダイオードに対して共通に1つだけ設け、各読み取り用のフォトダイオードの信号と、ダミーのフォトダイオードの信号との差分をとって出力するようにしてよい。このようにすれば、構成が簡略化されるので、小型化及び低廉化が促進される。

【0044】但し、読み取り用のフォトダイオードと同じ個数だけダミーのフォトダイオードを設けることにより、各読み取り用のフォトダイオード毎にダミーのフォトダイオードを近接させて配置することができるようになり、各読み取り用のフォトダイオードの信号と、近接するダミーのフォトダイオードの信号との差分をとって出力することにより、同じICチップ内における信号レベルのばらつきを低減することができる。

【0045】40 【発明の効果】以上説明したように、本発明の画像読み取り装置では、光電変換素子で得られた信号を出力回路に伝送する出力ラインを短くすることができるとともに、出力ラインにつながるトランジスタの数が減るようになるので、出力ラインの配線抵抗及び配線容量が小さくなるとともに、出力ラインにつながるトランジスタによる寄生容量が小さくなることによって、時定数が小さくなることから、動作周波数を向上させることができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施形態である画像読み取り装置

を構成する各ICチップの回路構成を示す図である。

【図2】 本発明の一実施形態である画像読み取り装置を構成する各ICチップにおける各部の信号のタイミングチャートである。

【図3】 画像読み取り装置の概略構成を示す図である。

【図4】 従来の画像読み取り装置を構成する各ICチップの回路構成を示す図である。

【符号の説明】

- 1 ロジック回路
- 2 バイアス電圧供給回路
- 3 シフトレジスタ
- 4-1, 4-2 nチャネルのMOS型FET
- 5-1, 5-2 定電流源
- 6-1, 6-2 バッファアンプ
- 7, 8 演算増幅器

9 バッファアンプ

10 コンデンサ

11, 12 スイッチ

$A_1, \dots, A_n, A_1', \dots, A_n'$ pチャネルのMO
S型FET

$B_1, \dots, B_n, B_1', \dots, B_n'$ pチャネルのMO
S型FET

$C_1, \dots, C_n, C_1', \dots, C_n'$ pチャネルのMO
S型FET

10 $D_1, \dots, D_n, D_1', \dots, D_n'$ pチャネルのMO
S型FET

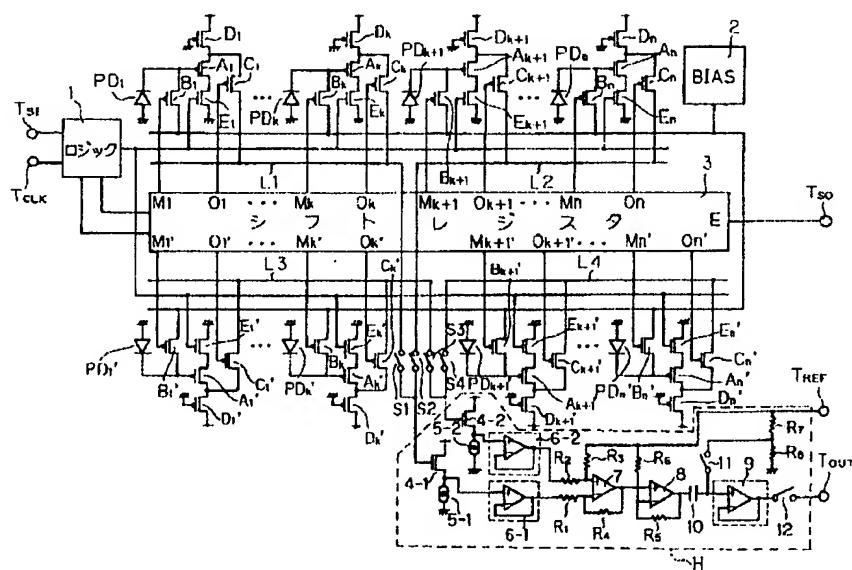
$E_1, \dots, E_n, E_1', \dots, E_n'$ nチャネルのMO
S型FET

PD_1, \dots, PD_n 読み取り用のフォトダイオード

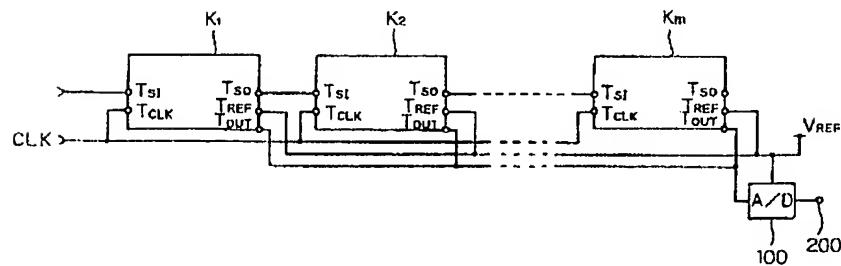
PD_1', \dots, PD_n' ダミーのフォトダイオード

$R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8$ 抵抗

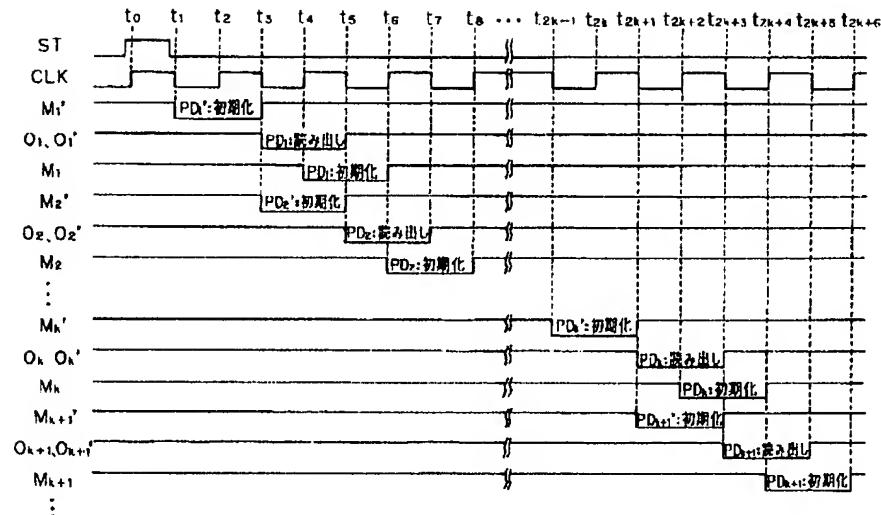
【図1】



【図3】



【図2】



【図4】

